

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-008670  
 (43)Date of publication of application : 12.01.1989

---

(51)Int.CI. H01L 29/78

---

(21)Application number : 62-162289 (71)Applicant : FUJITSU LTD  
 (22)Date of filing : 01.07.1987 (72)Inventor : HASEGAWA MICHIIKO

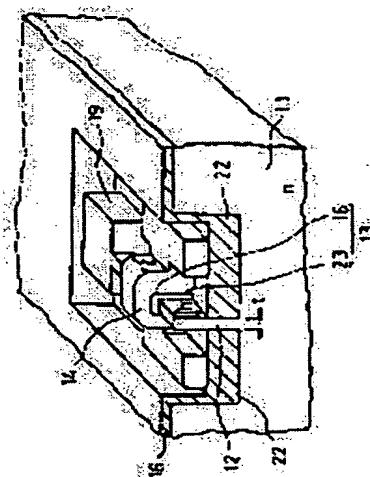
---

**(54) MOS FIELD-EFFECT TRANSISTOR**

**(57)Abstract:**

**PURPOSE:** To enhance a gain constant  $\beta$  value by forming the semiconductor section of source, drain and channel regions of a MOSFET in a rectangular parallelepiped having a side face substantially perpendicular to the plane of a wafer substrate, forming the height of the semiconductor section larger than its width, and extending a gate electrode perpendicularly to the plane of the substrate.

**CONSTITUTION:** Part of an n-type silicon (Si) wafer substrate 11 is formed in a rectangular parallelepiped semiconductor section 12 having its height larger than its width. This section is formed with source, drain and channel regions, and a gate electrode 14 is formed on an insulating film 13 corresponding to the channel region. The side face of the section 12 is substantially perpendicular to the plane of the substrate 11, and the electrode 14 is also perpendicular to the plane of the substrate 11. Since the electrode 14 is extended at both sides over the top of the section 12, the gate electrode which operates as a gate is longer than a conventional case, and a channel width W corresponds to twice as large as the height (h) in the drawing. Then, the width l of the electrode 14 corresponds to the channel length L.




---

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

Best Available Copy

## ⑫ 公開特許公報 (A) 昭64-8670 ✓

⑬ Int.Cl.<sup>1</sup>  
H 01 L 29/78識別記号 301  
厅内整理番号 X-8422-5F  
H-8422-5F

⑭ 公開 昭和64年(1989)1月12日

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 MOS電界効果トランジスタ

⑯ 特願 昭62-162289

⑰ 出願 昭62(1987)7月1日

発明者 長谷川 充彦 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

代理人 弁理士 青木 朗 外3名

## 明細書

## 1. 発明の名称

MOS電界効果トランジスタ

## 2. 特許請求の範囲

1. MOS電界効果トランジスタのソース領域、ドレイン領域およびチャネル領域の半導体部分がウェハ基板(11, 31)の平面に対してほぼ垂直な側面を有する直方体状であり、該直方体状半導体部分(12, 33)の高さがその幅よりも大きくかつゲート電極(14, 34)が前記ウェハ基板(11, 31)の平面に垂直方向に延在することを特徴とするMOS電界効果トランジスタ。

2. 前記直方体状半導体部分(12)がシリコンウェハ基板(11)の一部であることを特徴とする特許請求の範囲第1項記載のMOS電界効果トランジスタ。

3. 前記直方体状半導体部分(33)が絶縁膜(32)を備えたウェハ基板(31)上に形成された単結晶シリコン膜(37)の一部であることを特徴とする特許請求の範囲第1項記載のMOS電界効

果トランジスタ。

4. 前記ゲート電極(14, 34)が前記直方体状半導体部分(12, 33)の片側側面から上面を越えて反対側側面まで延在していることを特徴とする特許請求の範囲第1項記載のMOS電界効果トランジスタ。

## 3. 発明の詳細な説明

## (概要)

MOSFETのソース、ドレインおよびチャネル領域の半導体部分が直方体状であり、その高さが幅よりも大きくかつゲート電極がウェハ基板の平面に垂直方向に延在する。チャネルが主として直方体状半導体部分の側面に沿って形成される。

## (産業上の利用分野)

本発明は、半導体装置、より詳しくはMOS電界効果トランジスタ(FET)に関するものである。

## (従来の技術)

従来の一般的なMOSFETは第1図の断面斜視図に示すように半導体基板(シリコンウェハ)1の表面に厚い絶縁膜(酸化膜)2と薄い絶縁膜(ゲート酸化膜)3とが形成され、半導体基板1内にソース領域4およびドレイン領域5が形成され、そしてゲート電極(多結晶シリコン又はアルミニウムの電極)6をソース・ドレイン間領域(チャネル領域)の上方で絶縁膜2・3上に形成されている。また、SOI(Silicon on Insulator)構造のMOSFETも知られている(例えば、S.M.Sze(Editor), "VLSI TECHNOLOGY", McGraw-Hill, 1983, pp.80-85参照)。このSOI構造MOSFETにおいては、シリコンの島状部分は長手方向に直角な断面でその高さが幅よりも小さくかつ長手方向で順にソース領域、チャネル領域およびドレイン領域が形成されている。

## (発明が解決しようとする問題点)

IC, LSIなどの半導体装置の高集成化にともな

って、個々のMOSFETの微細化が図れており、このために、MOSFETのチャネル長とチャネル幅W(第1図)をも小さくしなければならない。このように微細化でチャネル長とチャネル幅Wを小さくすると、利得定数 $\beta$ 値が小さくなる問題がある。 $\beta$ 値はチャネル幅とは比例関係にそしてチャネル長とは反比例関係があり、そしてチャネル長を短かくしていくとショートチャネル効果が生じることになるので、 $\beta$ 値を大きくするにはチャネル幅を大きく(長く)する方向での方策が求められている。

また、SOI構造MOSFETでは、シリコン島状部分と絶縁層との界面でのソース・ドレイン間リード電流が発生する。従来はこの界面リード電流を抑制するためにイオン注入やシリコン基板への電圧印加(バックゲート制御)がなされている。イオン注入では注入後の熱処理による不純物の再分布によりフロントのしきい値電圧( $V_{th}$ )のシフト、逆導電型不純物注入によるチャネルコンダクタンスの減少による $\beta$ 値の減少などの欠点があ

り、また、基板への電圧印加ではフローティング状態のSOI基板の電位が変動し、フロントのしきい値電圧( $V_{th}$ )シフトにつながり、さらに、下地絶縁膜が厚くなると、FETの動作電位(±5V)程度)よりかなり高い電位(±数V)の電圧が必要になるなどの欠点がある。界面リード電流の抑制を行なう別の方策が求められている。

## (問題点を解決するための手段)

上述の課題は次のようなMOSFETを提供することによって解決され、それはMOSFETのソース領域、ドレイン領域およびチャネル領域の半導体部分がウェハ基板の平面に対してほぼ垂直な側面を有する直方体状であり、該直方体状半導体部分の高さがその幅よりも大きくかつゲート電極が前記ウェハ基板の平面に垂直方向に延在することを特徴とするMOSFETである。

一般的なMOSFETであれば、直方体状半導体部分がシリコンウェハ基板の一部であることは好ましく、また、SOI構造MOSFETであれば、絶縁膜上

の単結晶シリコン層の一部であることは好ましい。

ゲート電極が直方体状半導体部分の片側側面から上角を越えて反対側側面まで延在してチャネル幅が長くなっていることは好ましい。

## (実施例)

以下、添付図面を参照して、本発明をその好ましい実施態様例によって詳しく説明する。

## 例 1

第1図はシリコンウェハ基板の一部を直方体状半導体部分とした本発明に係るMOSFETの概略断面斜視図であり、第2回～第2e回および第3回はこのMOSFETを製造する過程を説明する図である。

第1図に示したMOSFETをPチャネルMOSトランジスタとして、n型シリコン(SI)ウェハ基板11の一部をその高さが幅よりも大きい直方体状半導体部分12にし、この部分をソース領域、ドレイン領域およびチャネル領域にし、かつチャネル領域に対応する絶縁膜13上にゲート電極14が設けられている。本発明にしたがって、直方体

状半導体部分12の側面はウェハ基板11の平面に対してほぼ垂直であり、そしてゲート電極14も側面に沿って存在するのでウェハ基板11の平面に対して垂直になっている。ゲート電極14は直方体部分12の頂部を越えて直方体状部分12の両側に延在するので、ゲートの働きをするゲート電極は従来の場合よりも長くなり、第1図の場合でチャネル幅Wは高さhの2倍( $W=2h$ )に対応する。そして、ゲート電極14の幅がチャネル長しに対応する。

第1図のMOSFETが次のようにして製造される。まず、n型シリコンウェハ基板11を用意し、第2a図に示すように熱酸化法(又はCVD法)でSiO<sub>2</sub>膜16(厚さ:0.2μm)をウェハ基板11上に形成する。SiO<sub>2</sub>膜16上にレジストを塗布し、露光・現像して所定パターンのレジスト層17を形成する。

レジスト層17をマスクとしてSiO<sub>2</sub>膜16を統いてシリコンウェハ基板11を異方性エッチングによってエッチングして所定深さ(約1μm)の

みぞ18を形成する(第2b図)。レジスト層を除去したときの状態を第3図に示す。第2b図および第3図からわかるように、みぞ18によって囲まれたシリコンウェハ基板の突起状部分は直方体状半導体部分12と電極コンタクト用のパッド状部分19および20とからなる。突起状部分の側面はウェハ基板11の平面に対してほぼ垂直になっている。

直方体状半導体部分12はその幅(厚さ)が高さよりも小さく、例えば、第2b図で幅が0.1μmで高さ(みぞ深さ)が1μmである。

次に、バイアススパッタ法でSiO<sub>2</sub>(又はPSG)膜(厚さ:0.5μm)22を、第2c図に示すように、みぞ18内に選択的に形成する。

熱酸化法によって表面シリコンを酸化してゲート酸化膜でもある薄いSiO<sub>2</sub>膜23(厚さ:40nm)を垂直な突起状部分およびみぞの側面上に形成する(第2d図)。CVD法によってポリシリコン層(厚さ:0.4μm)14を全面に形成する。このポリシリコン層14にN型不純物(リン)を拡

散してn型ポリシリコン層としておく。

ゲート電極バターンのレジスト層(図示せず)をポリシリコン層14上に形成し、これをマスクとしてエッチングしてポリシリコンゲート電極14を、第2e図および第1図に示すように、形成する。別のレジスト層を形成し、これとポリシリコンゲート電極14をマスクとして直方体状部分12とパッド状部分19および20の裏面上SiO<sub>2</sub>膜16および23をエッチング除去する。レジスト層を残したまま、イオン注入法でP型不純物(ボロン)を直方体状部分12とパッド状部分19および20のシリコンヘドープしてP+領域を形成する。レジスト除去後に、アニール熱処理をしてこれらP+領域がゲート電極の両側でソース領域およびドレイン領域となり、ゲート電極に覆われてドープされなかった直方体状部分12の一部分がチャネル領域となる。

この場合には、第1図に示す構造のMOSFETが得られて、チャネル幅Wは直方体状部分12の高さh(0.5μm)の2倍( $L=2h$ )となり、チャ

ネル長しは従来と同じようにゲート電極幅L(0.1μm)に対応したものとなる。

そして、所定の配線(アルミニウム配線、図示せず)をゲート電極14のパッド部分、パッド状部分19および20に接触させて通常の方法で形成することになる。配線形成前にみぞを埋めるような平坦化の方策を施すことが望ましい。

## 例2

第4図は本発明に係るSOI構造MOSFETの概略断面斜視図であり、第5図および第6図はこのMOSFETを製造する過程を説明する図である。

このSOI構造MOSFETでは、シリコンウェハ基板31上絶縁膜(SiO<sub>2</sub>膜)32の上に形成したシリコン単結晶層の島において、チャネル領域を含めたその近くのソース領域およびドレイン領域の直方体状部分33の高さLがその幅(厚さ)bよりも大きく、かつこの直方体部分33の側面はウェハ基板31の平面に対してほぼ垂直である。チャネル領域に対応するゲート電極34が薄い絶縁膜(SiO<sub>2</sub>膜)35上に形成されており、ゲート電

極34は直方体状部分33に沿ってウェハ基板に對して垂直に延びかつ直方体部分33の頂部でも薄い絶縁膜35上にある。この場合には、チャネル幅Wは高さaの2倍と幅(厚さ)bとの合計( $W = 2a + b$ )に対応する。そして、ゲート電極34の幅もがチャネル長しに対応する。

このSOI構造MOSFETが次のようにして製造される。

まず、第5図に示すようにシリコンウェハ基板31上に熱酸化法によってSiO<sub>2</sub>膜32(厚さ: 1μm)を形成する。このSiO<sub>2</sub>膜32上にCVD法によってポリシリコン膜37(厚さ: 0.5μm)を形成する。このポリシリコン膜37に閾値電圧(V<sub>th</sub>)を所定値にするために不純物(例えば、リン)をイオン注入する。そして、レーザ照射(レーザアニール)によってポリシリコン膜37を単結晶化(再結晶化)する。このようにして、絶縁膜の上にn型単結晶シリコン膜37が形成される。

次に、単結晶シリコン膜37をリソグラフィ法

で所定パターンに異方性エッチングして直方体状部分33とパッド状部分38および39とからなる島40を、第6図に示すように形成する。この直方体状部分33は高さaがその幅(厚さ)bよりも大きくなるように単結晶シリコン膜の異方性ドライエッティングされ、その側面がウェハ基板および絶縁膜32の平面に対してほぼ垂直である。この場合に、直方体状部分33の高さaはシリコン膜37の厚さであって0.5μmであり、その幅bを0.1μmとすることができる。なお、第4図での高さaおよび幅bはシリコンの熱酸化によって第6図での値よりも酸化膜厚さに応じて小さくなるが、便宜上同じにしてある。

熱酸化法によって単結晶シリコンの島40の表面に薄いSiO<sub>2</sub>膜(厚さ: 50nm)35(第4図)を形成する。全面にCVD法によってポリシリコン膜を形成し、不純物(リン)拡散で導電性としてから、所定パターンに選択エッチングしてゲート電極34を形成する。このゲート電極34をマスクとしてイオン注入によって不純物(ボロン)

を単結晶シリコンの島40にドープし、P+領域を形成する。アニール熱処理をしてゲート電極34の両側にP+領域のソース領域およびドレイン領域を形成する。このソース領域およびドレイン領域の形成方法はポリシリコンゲートを利用したセルフアライン方式であり、ゲート電極34の幅を0.1μmとすれば、チャネル長を0.1μmとすることができます。このようにして第4図に示すSOI構造MOSFETが得られて、チャネル幅Wは直方体状部分33の高さa(0.5μm)の2倍に直方体部分頂部でのその幅b(0.1μm)をえた長さ( $W = 2a + b = 0.5 \times 2 + 0.1 = 1.1 \mu\text{m}$ )となる。

そして、所定の配線(図示せず)をゲート電極34のパッド部分、パッド部分38および39にオーミック接觸で形成する。

#### (発明の効果)

上述したようにMOSFETのチャネル幅を直方体状半導体部分の高さでしかも両側を利用して2倍にす

ることができるので従来よりも微細化にかかわらず長くすることができ、 $\beta$ 値を高くすることができる。また、SOI構造MOSFETの場合には下地絶縁膜に接觸しているチャネル領域の面積を従来よりも大幅に小さくできるので、それだけ界面リードを減らすことができる。

#### 4. 図面の簡単な説明

第1図は本発明に係るMOSFETの概略断面斜視図であり、

第2a図～第2c図は第1図のMOSFETの製造工程を説明するMOSFETの概略断面図であり、

第3図は第1図のMOSFETの製造過程での部分斜視図であり、

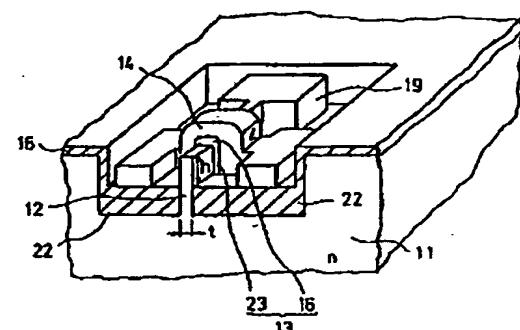
第4図は本発明に係るSOI構造MOSFETの概略断面図であり、

第5図は第4図のMOSFETの製造過程での概略断面図であり、

第6図は第4図のMOSFETの製造過程での部分斜視図であり、

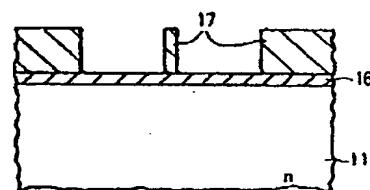
第7図は従来のMOSFETの概略断面斜視図である。

- 11…シリコンウェーハ基板、
- 12…直方体状部分、
- 14…ゲート電極、
- 16… $\text{SiO}_2$ 膜、
- 19, 20…パッド用部分、
- 22… $\text{SiO}_2$ 膜、
- 31…シリコンウェーハ基板、
- 32…絕縁膜、
- 33…直方体状部分、
- 34…ゲート電極、
- 35… $\text{SiO}_2$ 膜、
- 40…單結晶シリコンの島。



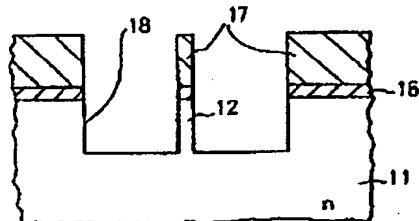
本発明のMOSFETの断面斜視図

第1図

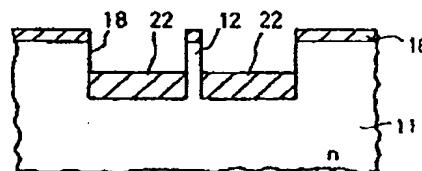


第2a図

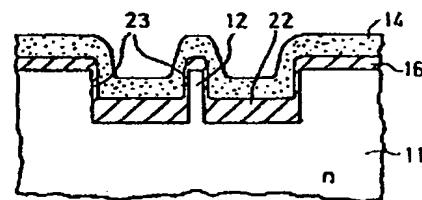
11…シリコンウェーハ基板  
12…直方体状部分  
14…ゲート電極  
16, 22… $\text{SiO}_2$ 膜



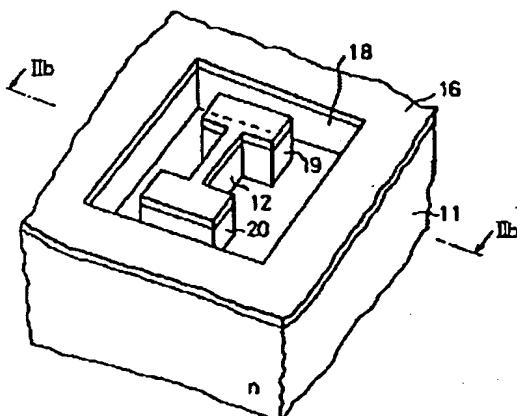
第2b図



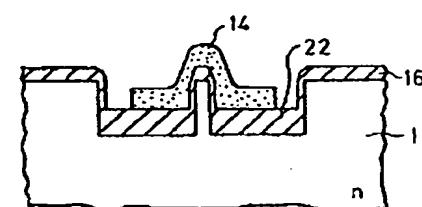
第2c図



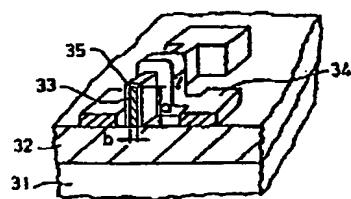
第2d図



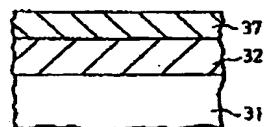
第3図



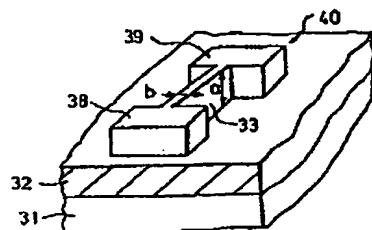
第2e図



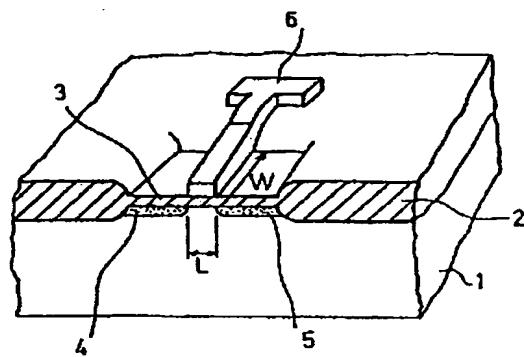
第4図



第5図



第6図



従来のMOSFETの断面斜視図

第7図

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**